

⑫ 公開特許公報(A)

平1-97008

⑤ Int. Cl.

H 03 K 3/037
3/356
17/56
19/00
19/08

識別記号

1 0 1

庁内整理番号

Z-8425-5J
D-8626-5J
F-7190-5J
E-8326-5J
A-8326-5J

⑬ 公開 平成1年(1989)4月14日

審査請求 未請求 発明の数 1 (全10頁)

⑭ 発明の名称 半導体集積回路装置

⑯ 特 願 昭62-254877

⑰ 出 願 昭62(1987)10月9日

⑱ 発 明 者 市 ノ 瀬 吏 東京都青梅市今井2326番地 株式会社日立製作所デバイス
開発センタ内

⑲ 出 願 人 株式会社日立製作所 東京都千代田区神田駿河台4丁目6番地

⑳ 代 理 人 弁理士 徳若 光政

明 細 書

1. 発明の名称

半導体集積回路装置

2. 特許請求の範囲

1. 一対の相補信号を伝達する第1及び第2のバイポーラ・CMOS複合ゲート回路と、上記第1のバイポーラ・CMOS複合ゲート回路の出力端子と上記第2のバイポーラ・CMOS複合ゲート回路の出力端子との間に設けられその入力端子及び出力端子が互いに交差接続される第1及び第2のCMOSインバータ回路とを具備することを特徴とする半導体集積回路装置。

2. 上記第1及び第2のバイポーラ・CMOS複合ゲート回路ならびに上記第1及び第2のCMOSインバータ回路は、バイポーラ・CMOSフリップフロップ回路に含まれるものであることを特徴とする特許請求の範囲第1項記載の半導体集積回路装置。

3. 上記バイポーラ・CMOSフリップフロップ回路は、さらに上記第1及び第2のバイポーラ

・CMOS複合ゲート回路の前段に設けられるデータ保持用のラッチを含み、上記相補信号は、上記ラッチの非反転出力信号及び反転出力信号であることを特徴とする特許請求の範囲第1項又は第2項記載の半導体集積回路装置。

4. 上記第1及び第2のバイポーラ・CMOS複合ゲート回路の出力信号は、ほぼ同時に状態遷移するように設計されることを特徴とする特許請求の範囲第1項、第2項又は第3項記載の半導体集積回路装置。

5. 上記第1及び第2のCMOSインバータ回路は、上記バイポーラ・CMOSフリップフロップ回路のデータ保持用のラッチを兼ねることを特徴とする特許請求の範囲第1項又は第2項記載の半導体集積回路装置。

3. 発明の詳細な説明

(産業上の利用分野)

この発明は、半導体集積回路装置に関するもので、例えば、バイポーラ・CMOS複合ゲート回路を基本構成とするマイクロコンピュータ等の高

論理集積回路等に利用して有効な技術に関するものである。

(従来の技術)

CMOS(相補型MOSFET)とトータムボール接続される一対の出力バイポーラトランジスタとからなるバイポーラ・CMOS複合ゲート回路がある。また、このようなバイポーラ・CMOS複合ゲート回路を基本構成とするマイクロコンピュータ等の論理集積回路がある。

バイポーラ・CMOS複合ゲート回路については、例えば、日経マグロウヒル社発行、1986年3月10日付「日経エレクトロニクス」の199頁～217頁に記載されている。

(発明が解決しようとする問題点)

本願発明者等は、上記のようなマイクロコンピュータを構成する基本論理回路の一つとして、第7図に示されるようなバイポーラ・CMOSフリップフロップ回路を、この発明に先立って開発した。このバイポーラ・CMOSフリップフロップ回路は、CMOSインバータ回路N9とCMOS

ランジスタT1及びT2等を含む。したがって、これらのバイポーラ・CMOS複合ゲート回路の出力信号のハイレベル V_H は、出力トランジスタT1等のベース・エミッタ電圧 V_{BE1} 分だけシフトされ、

$$V_H = V_{CC} - V_{BE1}$$

となる。同様に、上記バイポーラ・CMOS複合ゲート回路の出力信号のロウレベル V_L は、出力トランジスタT2等のベース・エミッタ電圧 V_{BE2} 分だけシフトされ、

$$V_L = V_{SS} + V_{BE2}$$

となる。このため、バイポーラ・CMOSフリップフロップ回路の出力信号振幅が圧縮され、後段の論理ゲート回路等までの配線長が制限されるとともに、後段回路として多入力の論理ゲート回路を使用できないなど、いくつかの点で設計制約を受けるものである。

この発明の目的は、バイポーラ・CMOS複合ゲート回路を介して伝達される相補信号の振幅をCMOSレベルまで拡大することにある。この発

明の他の目的は、バイポーラ・CMOSフリップフロップ回路等を含むマイクロコンピュータ等の設計自由度を大きくすることにある。

クロックドインバータ回路CN4が交差接続されてなるデータ保持用のラッチと、このラッチの反転及び非反転出力信号を伝達するバイポーラ・CMOSインバータ回路BN3及びBN4とを含む。上記ラッチの状態は、クロック信号CKがハイレベルとされるとき、入力データDに従って遷移される。バイポーラ・CMOSインバータ回路BN3及びBN4の出力信号は、それぞれバイポーラ・CMOSフリップフロップ回路の非反転出力信号Q及び反転出力信号 \bar{Q} とされる。これにより、第7図のバイポーラ・CMOSフリップフロップ回路は、動作の高速化が図られるとともに、比較的大きな駆動能力を持つものとされる。

ところが、上記のようなバイポーラ・CMOSフリップフロップ回路には、次のような問題点があることが、本願発明者等によって明らかとなった。すなわち、上記バイポーラ・CMOSインバータ回路BN3及びBN4等のバイポーラ・CMOS複合ゲート回路は、第5図に示されるように、トータムボール接続されるバイポーラ型の出力ト

明の他の目的は、バイポーラ・CMOSフリップフロップ回路等を含むマイクロコンピュータ等の設計自由度を大きくすることにある。

この発明の前記ならびにその他の目的と新規な特徴は、この明細書の記述及び添付図面から明らかになるであろう。

(問題点を解決するための手段)

本願において開示される発明のうち代表的なものの概要を簡単に説明すれば、下記の通りである。すなわち、バイポーラ・CMOSフリップフロップ回路等において、一対の相補出力信号を伝達する2個のバイポーラ・CMOS複合ゲート回路の出力端子の間に、その入力端子及び出力端子が互いに交差接続される2個のCMOSインバータ回路を設けるものである。

(作用)

上記した手段によれば、交差接続される2個のCMOSインバータ回路により相補出力信号の振幅をCMOSレベルまで拡大できるため、バイポーラ・CMOSフリップフロップ回路の高速性を

維持しつつ、その駆動能力を増大させ、後段回路に係る設計自由度を大きくすることができる。

(実施例1)

第1図には、この発明が適用されたバイポーラ・CMOSフリップフロップ回路の一実施例の回路図が示されている。また、第3図ないし第5図には、第1図のバイポーラ・CMOSフリップフロップ回路を構成するCMOSインバータ回路、CMOSクロックドインバータ回路及びバイポーラ・CMOSインバータ回路の一実施例の回路図が示されている。この実施例のバイポーラ・CMOSフリップフロップ回路は、特に制限されないが、マイクロコンピュータを構成する基本論理回路として使用される。マイクロコンピュータを構成する各ブロックには、それぞれ複数のバイポーラ・CMOSフリップフロップ回路が含まれる。第1図及び第3図ないし第5図の各回路素子は、マイクロコンピュータを構成する他の回路素子とともに、特に制限されないが、単結晶シリコンのような1個の半導体基板上において形成される。

れる。MOSFETQ1及びQ11のゲートは共通結合され、このCMOSインバータ回路の入力端子1とされる。また、MOSFETQ1及びQ11の共通結合されたドレインは、このCMOSインバータ回路の出力端子0とされる。これにより、CMOSインバータ回路は、入力端子1に供給される入力信号のレベルを反転し、そのハイレベルをほぼ電源電圧 V_{cc} としそのロウレベルをほぼ電源電圧 V_{ss} とするCMOSレベルの出力信号として、出力端子0に伝達する。

一方、CN2等のCMOSクロックドインバータ回路は、第4図に示されるように、電源電圧 V_{cc} と電源電圧 V_{ss} との間に直列形態に設けられるPチャンネルMOSFETQ2、Q3及びNチャンネルMOSFETQ12、Q13により構成される。MOSFETQ2のゲートは反転クロック入力端子 \bar{c} に結合され、MOSFETQ13のゲートは非反転クロック入力端子 c に結合される。MOSFETQ3及びMOSFETQ12のゲートは共通結合され、このCMOSクロックドイン

これらの図において、チャンネル(バックゲート)部に矢印が付加されるMOSFETはPチャンネル型であって、矢印の付加されないNチャンネルMOSFETと区別される。また、図示されるバイポーラトランジスタは、すべてNPN型トランジスタである。以下、第1図及び第3図ないし第5図の回路図に従って、この実施例のバイポーラ・CMOSフリップフロップ回路の構成と動作の概要を説明する。

第1図において、この実施例のバイポーラ・CMOSフリップフロップ回路は、特に制限されないが、CMOSインバータ回路N3及びCMOSクロックドインバータ回路CN2が交差接続されてなるデータ保持用のラッチを基本構成とする。

ここで、N3等のCMOSインバータ回路は、第3図に示されるように、例えば+5Vとされるような電源電圧 V_{cc} と、例えば0Vすなわち接地電位とされるような電源電圧 V_{ss} との間に直列形態に設けられるPチャンネルMOSFETQ1及びNチャンネルMOSFETQ11により構成さ

バクタ回路の入力端子1とされる。また、MOSFETQ3及びQ12の共通結合されたドレインは、このCMOSクロックドインバータ回路の出力端子0とされる。これにより、CMOSクロックドインバータ回路は、反転クロック入力端子 \bar{c} に供給される反転クロック信号がロウレベルとされまた非反転クロック入力端子 c に供給される非反転クロック信号がハイレベルとされるとき、入力端子1に供給される入力信号のレベルを反転して、出力端子0に伝達する。このとき、出力端子0における信号振幅は、上記CMOSインバータ回路と同様に、CMOSレベルとされる。

第1図において、データ保持用のラッチを構成するCMOSクロックドインバータ回路CN2の反転クロック入力端子 \bar{c} には、クロック信号CKが供給される。また、CMOSクロックドインバータ回路CN2の非反転クロック入力端子 c には、上記クロック信号CKのCMOSインバータ回路N4による反転信号すなわち反転クロック信号 \bar{C} Kが供給される。

CMOSインバータ回路N3の入力端子には、さらにCMOSクロックドインバータ回路CN1を介して、入力データDの反転信号が供給される。CMOSクロックドインバータ回路CN1の非反転クロック入力端子cには、上記クロック信号CKが供給され、その反転クロック入力端子 \bar{c} には、上記反転クロック信号 \overline{CK} が供給される。これにより、CMOSクロックドインバータ回路CN1は、上記CMOSクロックドインバータ回路CN2と相補的に伝達状態とされる。

CMOSクロックドインバータ回路CN2の出力端子は、上記CMOSインバータ回路N3の入力端子に結合されるとともに、バイポーラ・CMOSインバータ回路BN1（第1のバイポーラ・CMOSゲート回路）の入力端子に結合される。バイポーラ・CMOSインバータ回路BN1の出力信号は、このバイポーラ・CMOSフリップフロップ回路の非反転出力信号Qとされる。同様に、CMOSインバータ回路N3の出力端子は、上記CMOSクロックドインバータ回路CN2の入力

端子に結合されるとともに、バイポーラ・CMOSインバータ回路BN2（第2のバイポーラ・CMOSゲート回路）の入力端子に結合される。バイポーラ・CMOSインバータ回路BN2の出力信号は、このバイポーラ・CMOSフリップフロップ回路の反転出力信号 \bar{Q} とされる。

ここで、BN1及びBN2等のバイポーラ・CMOSインバータ回路は、第5図に示されるように、電源電圧 V_{cc} と電源電圧 V_{ss} との間にトータムボール形態に設けられるバイポーラ型の出力トランジスタT1及びT2を含む。出力トランジスタT1のベースと入力端子1との間には、PチャンネルMOSFETQ4及びNチャンネルMOSFETQ14からなるCMOSインバータ回路が設けられる。出力トランジスタT1のエミッタすなわち出力トランジスタT2のコレクタと出力トランジスタT2のベースとの間には、そのゲートが入力端子1に共通結合されるNチャンネルMOSFETQ17が設けられる。また、出力トランジスタT2のベースと電源電圧 V_{ss} との間には、

そのゲートが上記出力トランジスタT1のベースに共通結合されるNチャンネルMOSFETQ18が設けられる。出力トランジスタT1のエミッタすなわち出力トランジスタT2のコレクタは、このバイポーラ・CMOSインバータ回路の出力端子 ϕ とされる。

バイポーラ・CMOSインバータ回路の入力端子1がロウレベルとされるとき、出力トランジスタT1のベースはハイレベルとなり、出力トランジスタT1はオン状態となる。また、入力端子1がロウレベルとされることでMOSFETQ17がオフ状態となり、出力トランジスタT1のベースがハイレベルとされることでMOSFETQ18がオン状態となる。これにより、トランジスタT2は、そのベース電流が切断されまたそのベース容量がディスチャージされるため、カットオフ状態となる。したがって、出力端子 ϕ のレベルは、出力トランジスタT1を介して電源電圧 V_{cc} が供給されることで、急速にハイレベルとなる。この出力端子 ϕ のハイレベル V_H は、出力トランジス

タT1のベース電位がほぼ電源電圧 V_{cc} とされることから、出力トランジスタT1のベース・エミッタ電圧 V_{BE1} 分だけシフトされ、

$$V_H = V_{cc} - V_{BE1}$$

となる。一方、バイポーラ・CMOSインバータ回路の入力端子1がハイレベルとされるとき、出力トランジスタT1のベースはロウレベルとなり、出力トランジスタT1はカットオフ状態となる。

また、入力端子1がハイレベルとされることでMOSFETQ17がオン状態となり、出力トランジスタT1のベースがロウレベルとされることでMOSFETQ18がオフ状態となる。これにより、トランジスタT2は、出力端子 ϕ がロウレベルとされるまでの間MOSFETQ17を介してベース電流が供給されるため、オン状態となる。したがって、出力端子 ϕ のレベルは、急速に引き上げられ、ロウレベルとなる。この出力端子 ϕ のロウレベル V_L は、出力トランジスタT2のベース電位とほぼ等しくなることから、出力トランジスタT2のベース・エミッタ電圧 V_{BE2} 分だけシフ

トされ、

$$V_L = V_{SS} + V_{BE2}$$

となる。つまり、バイポーラ・CMOSインバート回路BN1及びBN2等は、その出力段がトータムボール接続されるバイポーラトランジスタによって構成されることから、その動作が高速化されまた駆動能力が増大される反面、その出力信号振幅が出力トランジスタT1及びT2のベース・エミッタ電圧分だけ圧縮される。

第1図において、バイポーラ・CMOSインバート回路BN1及びBN2の出力端子すなわちバイポーラ・CMOSフリップフロップ回路の非反転出力信号Q及び反転出力信号 \overline{Q} の間には、その入力端子及び出力端子が互いに交差接続される2個のCMOSインバート回路N1（第1のCMOSインバート回路）及びN2（第2のCMOSインバート回路）が設けられる。

この実施例のバイポーラ・CMOSフリップフロップ回路において、クロック信号CKに従ってデータ保持用のラッチが状態遷移されるとき、上

記バイポーラ・CMOSインバート回路BN1及びBN2の出力信号は、ほぼ同時に状態遷移されるように設計される。

次に、この実施例のバイポーラ・CMOSフリップフロップ回路の動作の概要を説明する。

クロック信号CKがロウレベルとされるとき、CMOSクロックドインバート回路CN1は非伝達状態とされ、CMOSクロックドインバート回路CN2が伝達状態とされる。このため、CMOSインバート回路N3及びCMOSクロックドインバート回路CN2からなるラッチは、データ保持状態とされる。このとき、バイポーラ・CMOSインバート回路BN1及びBN2の出力信号すなわち非反転出力信号Q及び反転出力信号 \overline{Q} は、上記ラッチの保持データをそれぞれ反転して、相補的にハイレベル又はロウレベルとなる。これらの出力信号は、前述のように、それぞれ出力トランジスタのベース・エミッタ電圧分だけシフトされるが、CMOSインバート回路N1及びN2の出力信号がCMOSレベルであることから、最終

的にはほぼ電源電圧 V_{CC} 及び電源電圧 V_{SS} のようなCMOSレベルに拡大される。

クロック信号CKがハイレベルになると、CMOSクロックドインバート回路CN2は非伝達状態とされ、代わってCMOSクロックドインバート回路CN1が伝達状態とされる。このため、入力データDは、CMOSクロックドインバート回路CN1によって反転された後、CMOSインバート回路N3に伝達される。これにより、バイポーラ・CMOSインバート回路BN1及びBN2の出力信号すなわち非反転出力信号Q及び反転出力信号 \overline{Q} は、入力データDに従ったレベルとなる。また、これらの非反転出力信号Q及び反転出力信号 \overline{Q} のレベルは、一時的にバイポーラ・CMOSインバート回路BN1及びBN2の出力トランジスタのベース・エミッタ電圧分だけシフトされるが、前述のように、CMOSインバート回路N1及びN2の状態遷移が終了した時点でCMOSレベルに拡大される。

ところで、上記クロック信号CKがハイレベル

とされるときデータ保持用のラッチの状態が反転される場合、前述のように、バイポーラ・CMOSインバート回路BN1及びBN2の出力信号は同時に状態遷移するように設計される。したがって、CMOSインバート回路N1及びN2の出力信号もほぼ同時に状態遷移されるため、バイポーラ・CMOSインバート回路BN1とCMOSインバート回路N2又はバイポーラ・CMOSインバート回路BN2とCMOSインバート回路N1の出力信号のレベルが異なることによって生ずる貫通電流はほぼ抑制される。これにより、バイポーラ・CMOSフリップフロップ回路の低消費電力化が図られる。

以上のように、この実施例のバイポーラ・CMOSフリップフロップ回路は、データ保持用のラッチの相補出力信号を受ける2個のバイポーラ・CMOSインバート回路BN1及びBN2を含む。これらのバイポーラ・CMOSインバート回路の出力端子すなわちバイポーラ・CMOSフリップフロップ回路の非反転出力信号Qと反転出力信号

\overline{Q} との間には、その入力端子及び出力端子が互いに交差接続される2個のCMOSインバータ回路N1及びN2が設けられる。さらに、クロック信号CKに従って上記データ保持用のラッチが状態遷移されるとき、バイポーラ・CMOSインバータ回路BN1及びBN2の出力信号はほぼ同時に状態遷移されるように設計される。このため、この実施例のバイポーラ・CMOSフリップフロップ回路は、バイポーラ・CMOSインバータ回路BN1及びBN2を用いることで、その動作が高速化される。また、これらのバイポーラ・CMOSインバータ回路を用いることで、その出力信号振幅は圧縮されようとするが、交差接続されるCMOSインバータ回路N1及びN2が設けられることで、出力信号振幅はCMOSレベルまで拡大される。言うまでもなく、CMOSインバータ回路N1及びN2が交差接続され、センスアンプ形態とされることで、これらのCMOSインバータ回路による出力信号振幅の拡大動作は、より高速化されるものである。

は、回路の簡素化が図られる。

第2図において、入力データDは、バイポーラ・CMOSクロックドインバータ回路BCN2（第2のバイポーラ・CMOSゲート回路）の入力端子に供給されるとともに、CMOSインバータ回路N7によって反転された後、バイポーラ・CMOSクロックドインバータ回路BCN1（第1のバイポーラ・CMOSゲート回路）の入力端子に供給される。

ここで、BCN1及びBCN2等のバイポーラ・CMOSクロックドインバータ回路は、第6図に示されるように、電源電圧 V_{cc} と電源電圧 V_{ss} との間にトータムボール形態に設けられる出力トランジスタT3及びT4を含む。出力トランジスタT3のベースと入力端子Iとの間には、PチャンネルMOSFETQ5、Q6及びNチャンネルMOSFETQ15、Q16からなるCMOSクロックドインバータ回路が設けられる。このCMOSクロックドインバータ回路の入力端子は、上記入力端子Iに結合され、その非反転クロック入

（実施例2）

第2図には、この発明が適用されたバイポーラ・CMOSフリップフロップ回路の第2の実施例の回路図が示されている。また、第6図には、第2図のバイポーラ・CMOSフリップフロップ回路を構成するバイポーラ・CMOSクロックドインバータ回路の一実施例の回路図が示されている。以下、第2図及び第6図に従って、この実施例のバイポーラ・CMOSフリップフロップ回路の構成と動作の概要を説明する。なお、この実施例は、基本的には上記第1の実施例を踏襲するものであるため、上記第1の実施例と異なる部分についてのみ説明を追加する。

この実施例のバイポーラ・CMOSフリップフロップ回路において、特に制限されないが、データ保持用のラッチは特別に設けられず、非反転出力端子Q及び反転出力端子 \overline{Q} の間に設けられるCMOSインバータ回路N5及びN6が上記データ保持用のラッチを兼ねる。これにより、この実施例のバイポーラ・CMOSフリップフロップ回路

力端子及び反転クロック入力端子は、このバイポーラ・CMOSクロックドインバータ回路の非反転クロック入力端子c及び反転クロック入力端子 \overline{c} に結合される。出力トランジスタT3のエミッタすなわち出力トランジスタT4のコレクタと出力トランジスタT4のベースとの間には、NチャンネルMOSFETQ19及びQ20が直列形態に設けられる。このうち、MOSFETQ19のゲートは上記入力端子Iに共通結合され、MOSFETQ20のゲートは上記非反転クロック入力端子cに共通結合される。出力トランジスタT4のベースと電源電圧 V_{ss} との間には、そのゲートが上記出力トランジスタT3のベースに共通結合されるNチャンネルMOSFETQ21が設けられる。さらに、出力トランジスタT3のベースと電源電圧 V_{ss} との間には、そのゲートが上記反転クロック入力端子 \overline{c} に共通結合されるNチャンネルMOSFETQ22が設けられる。また、出力トランジスタT4のベースと電源電圧 V_{ss} との間には、そのゲートが上記反転クロック入力端子 \overline{c}

に共通結合されるNチャンネルMOSFET Q23が設けられる。出力トランジスタT3のエミッタすなわち出力トランジスタT4のコレクタは、このバイポーラ・CMOSクロックドインバート回路の出力端子oとされる。

非反転クロック入力端子cに供給される非反転クロック信号がロウレベルとされ、反転クロック入力端子 \bar{c} に供給される反転クロック信号がハイレベルとされるとき、MOSFET Q5、Q6及びQ15、Q16からなるCMOSクロックドインバート回路は非伝達状態とされる。また、MOSFET Q20がオフ状態となり、MOSFET Q22及びQ23がともにオン状態となるため、出力トランジスタT3及びT4はともにカットオフ状態となる。したがって、このバイポーラ・CMOSクロックドインバート回路は、その出力端子oがハイインピーダンス状態となり、非伝達状態とされる。

一方、非反転クロック入力端子cに供給される非反転クロック信号がハイレベルとされ、反転ク

ロック入力端子 \bar{c} に供給される反転クロック信号がロウレベルとされるとき、MOSFET Q5、Q6及びQ15、Q16からなるCMOSクロックドインバート回路は伝達状態とされる。また、MOSFET Q20がオン状態となり、MOSFET Q22及びQ23がともにオフ状態となるため、出力トランジスタT3及びT4はカットオフ状態を解かれる。これにより、このバイポーラ・CMOSクロックドインバート回路は伝達状態とされ、その出力端子oのレベルは、上述のバイポーラ・CMOSインバート回路と同様に、入力端子iに供給される入力信号を反転したレベルとなる。このとき、バイポーラ・CMOSクロックドインバート回路の出力信号のレベルは、上記バイポーラ・CMOSインバート回路と同様に、出力トランジスタT3又はT4のベース・エミッタ電圧分だけシフトされるが、出力トランジスタT3及びT4によって、その動作は高速化され、その駆動能力は大きくされる。

第2図において、バイポーラ・CMOSクロッ

クドインバート回路BCN1及びBCN2の非反転クロック入力端子cには、クロック信号CKが共通に供給される。また、このバイポーラ・CMOSクロックドインバート回路の反転クロック入力端子 \bar{c} には、上記クロック信号CKのCMOSインバート回路N8による反転信号すなわち反転クロック信号 \bar{CK} が共通に供給される。これにより、バイポーラ・CMOSクロックドインバート回路BCN1及びBCN2は、ともにクロック信号CKがハイレベルとされることで選択的に伝達状態とされる。

バイポーラ・CMOSクロックドインバート回路BCN1の出力信号は、このバイポーラ・CMOSフリップフロップ回路の非反転出力信号Qとされる。また、バイポーラ・CMOSクロックドインバート回路BCN2の出力信号は、このバイポーラ・CMOSフリップフロップ回路の反転出力信号 \bar{Q} とされる。これらの非反転出力端子Q及び反転出力端子 \bar{Q} の間には、その入力端子及び出力端子が互いに交差接続される2個のCMOSイ

ンバート回路N5（第1のCMOSインバート回路）及びN6（第2のCMOSインバート回路）が設けられる。前述のように、これらのCMOSインバート回路は、このバイポーラ・CMOSフリップフロップ回路のデータ保持用のラッチとしての機能を兼ね備える。

次に、この実施例のバイポーラ・CMOSフリップフロップ回路の動作の概要を説明する。

クロック信号CKがロウレベルとされるとき、バイポーラ・CMOSクロックドインバート回路BCN1及びBCN2はともに非伝達状態とされる。したがって、CMOSインバート回路N5及びN6からなるラッチは、入力データDのレベルにかかわらず、クロック信号CKがロウレベルとされる直前の入力データDを保持する。このとき、バイポーラ・CMOSクロックドインバート回路BCN1及びBCN2の出力信号すなわち非反転出力信号Q及び反転出力信号 \bar{Q} の信号振幅は、出力トランジスタのベース・エミッタ電圧分だけ圧縮されるが、CMOSインバート回路N5及びN

6により、CMOSレベルに拡大される。

クロック信号CKがハイレベルとされると、バイポーラ・CMOSクロックドインバート回路BCN1及びBCN2はともに伝達状態とされる。したがって、CMOSインバート回路N5の入力端子には、入力データDのインバート回路N7による反転信号のさらに反転された信号すなわち非反転入力データDが供給される。また、CMOSインバート回路N6の入力端子には、入力データDの反転信号が供給される。これにより、非反転出力信号Q及び反転出力信号 \overline{Q} は、入力データDに従ったレベルとされる。このとき、上述の場合と同様に、非反転出力信号Q及び反転出力信号 \overline{Q} の信号振幅は、バイポーラ・CMOSクロックドインバート回路の出力トランジスタのベース・エミッタ電圧分だけ圧縮されるが、CMOSインバート回路N5及びN6の状態遷移が終了した時点で、CMOSレベルに拡大される。

以上のように、この実施例のバイポーラ・CMOSフリップフロップ回路は、クロック信号CK

に従って入力データD又はその反転信号を選択的に伝達する2個のバイポーラ・CMOSクロックドインバート回路BCN1及びBCN2を含む。これらのバイポーラ・CMOSクロックドインバート回路の出力信号は、それぞれこのバイポーラ・CMOSフリップフロップ回路の非反転出力信号Q及び反転出力信号 \overline{Q} とされる。非反転出力端子Qと反転出力端子 \overline{Q} との間には、その入力端子及び出力端子が互いに交差接続される2個のCMOSインバート回路N5及びN6が設けられる。これらのCMOSインバート回路は、このバイポーラ・CMOSフリップフロップ回路のデータ保持用のラッチを兼ねる。これにより、このバイポーラ・CMOSフリップフロップ回路の保持状態は、クロック信号CKがハイレベルとされるとき入力データDに従って遷移される。このとき、非反転出力信号Q及び反転出力信号 \overline{Q} の信号振幅は、バイポーラ・CMOSクロックドインバート回路BCN1及びBCN2の出力トランジスタのベース・エミッタ電圧分だけ圧縮されるが、CMOS

インバート回路N5及びN6の状態遷移が終了することで、最終的にCMOSレベルまで拡大される。つまり、この実施例のバイポーラ・CMOSフリップフロップ回路は、比較的簡単な回路構成とされるにもかかわらず、上記第1の実施例と同様な効果を持つものである。

以上の二つの実施例に示されるように、この発明をバイポーラ・CMOSゲート回路を基本構成とするマイクロコンピュータ等の半導体集積回路装置に適用することで、次のような効果が得られる。すなわち、

(1) マイクロコンピュータ等に内蔵されるバイポーラ・CMOSフリップフロップ回路等において、一對の相補出力信号を伝達する2個のバイポーラ・CMOS複合ゲート回路の出力端子の間に、交差接続される2個のCMOSインバート回路を設けることで、バイポーラ・CMOSフリップフロップ回路の動作の高速化と駆動能力の増大を図りつつ、その出力信号振幅をCMOSレベルに拡大できるという効果が得られる。

(2) 上記(1)項により、バイポーラ・CMOSフリップフロップ回路の出力端子から後段の論理ゲート回路までの配線長の制限距離を延長し、またその後段に多入力論理ゲート回路を設けることができる等、バイポーラ・CMOSフリップフロップ回路の後段回路に係る制約を解くことができるという効果が得られる。

(3) 上記(1)項及び(2)項により、バイポーラ・CMOSフリップフロップ回路等を含むマイクロコンピュータ等の動作の高速性を維持しつつ、その設計自由度を大きくすることができるという効果が得られる。

以上本発明者によってなされた発明を実施例に基づき具体的に説明したが、この発明は上記実施例に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。例えば、第1図の回路図において、データ保持用ラッチを2個のCMOSインバート回路によって構成し、それぞれの前段にCMOSクロックドインバート回路を設けるようにしてもよい。

また、第1図及び第2図の実施例において、入力データDは反転信号であってもよいし、バイポーラ・CMOSフリップフロップ回路の前段で相補信号とされるものであってもよい。同様に、クロック信号CKも、バイポーラ・CMOSフリップフロップ回路の前段で相補信号とされるものであってもよい。さらに、第1図及び第2図に示されるバイポーラ・CMOSフリップフロップ回路の具体的な構成や、第3図ないし第6図に示されるCMOSインバータ回路、CMOSクロックドインバータ回路、バイポーラ・CMOSインバータ回路及びバイポーラ・CMOSクロックドインバータ回路の具体的な構成は、種々の実施形態を採りうるものである。

以上の説明では主として本発明者によってなされた発明をその背景となった利用分野であるマイクロコンピュータ等のバイポーラ・CMOSフリップフロップ回路に適用した場合について説明したが、それに限定されるものではなく、例えば、マイクロコンピュータ等の信号分配回路やバイポ

ーラ・CMOS複合ゲート回路を用いた他のブロックにも適用できる。また、同様なバイポーラ・CMOS複合ゲート回路を含むバイポーラ・CMOS型RAM等の半導体記憶装置や各種のディジタル集積回路装置にも適用できる。本発明は、少なくとも相補信号を伝送する1対以上のバイポーラ・CMOSゲート回路を含む半導体集積回路装置に広く適用できる。

(発明の効果)

本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば、下記のとおりである。すなわち、マイクロコンピュータ等に内蔵されるバイポーラ・CMOSフリップフロップ回路等において、一対の相補出力信号を伝送する2個のバイポーラ・CMOS複合ゲート回路の出力端子の間に、交差接続される2個のCMOSインバータ回路を設けることで、その出力信号振幅をCMOSレベルまで拡大することができるため、バイポーラ・CMOSフリップフロップ回路等の高速性を維持しつつ、その駆動能力

を増大させることができるとともに、後段回路に係る制約を解き、その設計自由度を大きくすることができるものである。

4. 図面の簡単な説明

第1図は、この発明が適用されたバイポーラ・CMOSフリップフロップ回路の一実施例を示す回路図、

第2図は、この発明が適用されたバイポーラ・CMOSフリップフロップ回路の第2の実施例を示す回路図、

第3図は、第1図及び第2図のバイポーラ・CMOSフリップフロップ回路に含まれるCMOSインバータ回路の一実施例を示す回路図、

第4図は、第1図のバイポーラ・CMOSフリップフロップ回路に含まれるCMOSクロックドインバータ回路の一実施例を示す回路図、

第5図は、第1図のバイポーラ・CMOSフリップフロップ回路に含まれるバイポーラ・CMOSインバータ回路の一実施例を示す回路図、

第6図は、第2図のバイポーラ・CMOSフリ

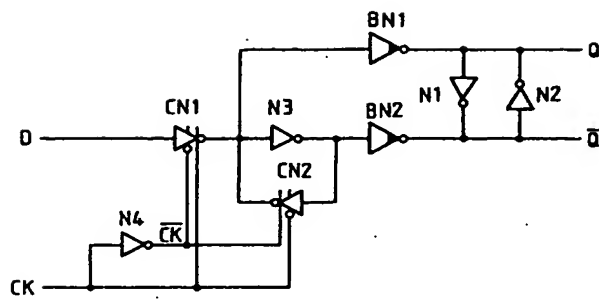
ップフロップ回路に含まれるバイポーラ・CMOSクロックドインバータ回路の一実施例を示す回路図、

第7図は、この発明に先立って本願発明者等が開発したバイポーラ・CMOSフリップフロップ回路の回路図である。

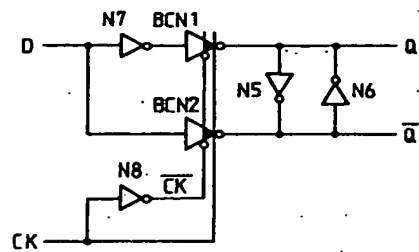
N1～N10・・・CMOSインバータ回路、
CN1～CN4・・・CMOSクロックドインバータ回路、BN1～BN4・・・バイポーラ・CMOSインバータ回路、BCN1、BCN2・・・バイポーラ・CMOSクロックドインバータ回路、T1～T4・・・NPN型バイポーラトランジスタ、Q1～Q6・・・PチャンネルMOSFET、Q11～Q23・・・NチャンネルMOSFET。

代理人弁理士 徳若 光政

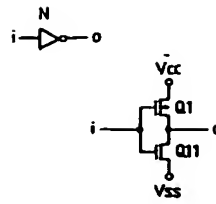
第 1 図



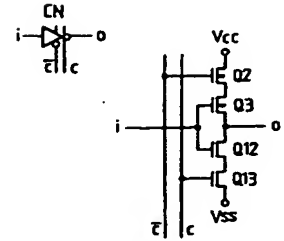
第 2 図



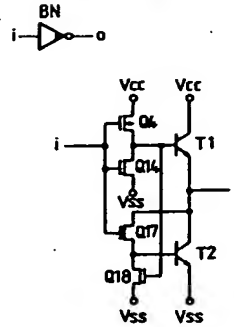
第 3 図



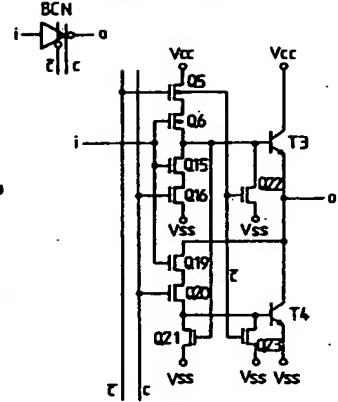
第 4 図



第 5 図



第 6 図



第 7 図

